



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑩ DE 197 17 586 C 1

⑤① Int. Cl.<sup>6</sup>:  
H 04 L 25/52  
H 03 L 7/08  
H 04 L 7/033

②① Aktenzeichen: 197 17 586.4-31  
②② Anmeldetag: 25. 4. 97  
④③ Offenlegungstag: -  
④⑤ Veröffentlichungstag  
der Patenterteilung: 27. 8. 98

DE 197 17 586 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:  
Siemens AG, 80333 München, DE

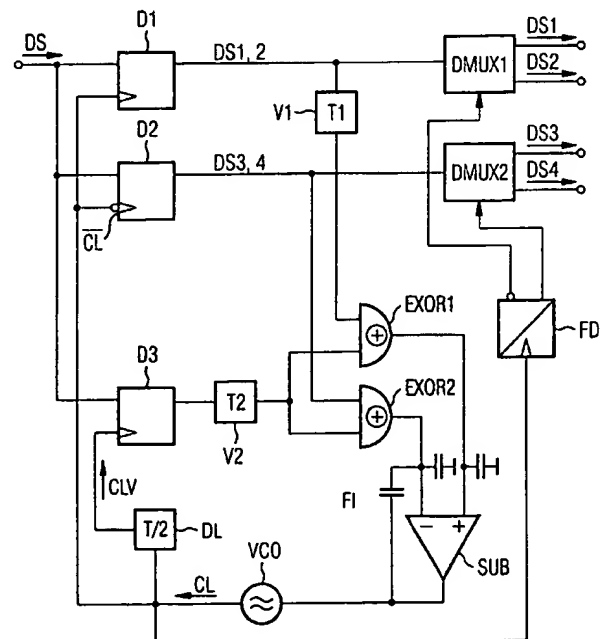
⑦② Erfinder:  
Bogner, Werner, Dr.-Ing., 80933 München, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

DE 1 95 23 185 A1  
EP 07 16 524 A1

⑤④ Takt- und Datenregenerator für hohe Datenraten

⑤⑦ Bei dem Takt- und Datenregenerator für hohe Datenraten wird ein Datensignal (DS) den Takteingängen von drei D-Kippstufen (D1, D2, D3) zugeführt und mit verschiedenen Taktsignalen (CL,  $\overline{\text{CL}}$ , CLV) abgetastet. Mittels zweier Exklusiv-Oder-Gatter (EXOR2, EXOR2) werden Regelkriterien gewonnen, die über einen Subtrahierer (SUB) und einen Filter (FI) einen Oszillator (VCO) steuern, der die Taktsignale erzeugt. Die Schaltung ist für sehr hohe Frequenzen konzipiert.



DE 197 17 586 C 1

Die Erfindung betrifft einen Takt- und Datenregenerator für hohe Datenraten.

Aus der europäischen Patentanmeldung EP 0 716 524 A1 ist eine Phasendetektorschaltung bekannt, bei der ein Datensignal in zwei parallele Datenströme aufgeteilt wird, die die halbe Datenrate aufweisen. Durch Vergleich des empfangenen Datensignals mit einem abgetasteten Datensignal wird ein Phasensignal gewonnen, das mit einem aus abgetasteten Daten erzeugten Referenzsignal verglichen wird und anschließend zur Frequenz- oder/und Phaseeinstellung eines steuerbaren Taktgenerators dient.

Ein weiterer Takt- und Datenregenerator ist aus der Patentanmeldung DE 195 23 185 A1 bekannt, bei der das Eingangsdatsignal mit einem Taktsignal, einem invertierten Taktsignal und einem hierzu phasenverschobenen Taktsignal abgetastet wird. Durch die Gleichbehandlung der verschiedenen Datenströme wird eine temperatur- oder alterungsbedingte Veränderung weitgehend kompensiert. Problematisch bleibt, daß die Phasendetektorspannung mit einem Offset behaftet ist, so daß der Einsatz einfacher und stabiler Regelschaltungen (Phase Locked Loop – PLL) problematisch ist.

Aufgabe der Erfindung ist es daher, eine für extrem hohe Frequenzen geeignete Takt- und Datenregeneratorschaltung anzugeben.

Diese Aufgabe wird durch die im Anspruch 1 beschriebene Anordnung gelöst.

Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

Vorteilhaft ist einmal die Gleichbehandlung der Signale in allen Datenwegen. Hierdurch wird eine optimale Stabilität erreicht. Es werden nur Signale zur Gewinnung des Regelkriteriums verwendet, deren Rate gegenüber dem empfangenen Datensignal halbiert ist. Das Regelkriterium wird in zwei Exklusiv-Oder-Gattern ermittelt, deren (zeitlich gemittelte) Ausgangssignale voneinander subtrahiert werden, so daß auch hier sich ein evtl. Temperaturgang kompensiert.

Vorteilhaft ist eine Abtastung der Ausgangssignale der Exklusiv-Oder-Gatter. Durch eine binäre Entscheidung wird die Signalqualität verbessert.

Durch Demultiplexer können die zwei durch Abtasten des Datensignals erzeugten zwei Datenströme in mehr parallele Datenströme aufgeteilt werden.

Ausführungsbeispiele der Erfindung werden anhand von Figuren näher erläutert.

Es zeigen

Fig. 1 ein Prinzipschaltbild der Erfindung,

Fig. 2 ein erstes Zeitdiagramm für die Sollage,

Fig. 3 ein zweites Zeitdiagramm bei Abweichung von der Sollage und

Fig. 4 eine Variante des Takt- und Datenregenerators.

In Fig. 1 ist die Schaltungsanordnung des erfindungsge-  
mäßigen Takt- und Datenregenerators dargestellt.

Den Dateneingängen einer ersten D-Kippstufe (D1), einer zweiten D-Kippstufe (D2) und einer dritten D-Kippstufe (D3) wird ein binäres Datensignal (DS) zugeführt. Ein gesteuerter Oszillator (VCO), beispielsweise ein spannungsge-  
steuerter Oszillator, liefert ein Taktsignal (CL), dessen Periodendauer zwei Bits des Datensignals entspricht. Der ersten D-Kippstufe (D1) wird dieses Taktsignal direkt zugeführt, der zweiten D-Kippstufe (D2) invertiert bzw. um 180 Grad phasenverschoben (oder es werden mit unterschiedlichen Taktflanken getriggerte Kippstufen verwendet). An den Kippstufenausgängen wird daher jedes zweite Bit des Datensignals DS abgegeben, dies sind die abgetasteten Datensignale DS1, 2 und DS3, 4. Die dritte D-Kippstufe D3 wird

mit einem gegenüber dem Taktsignal CLK um die Dauer eines halben Datenbits ( $T/2$ ) verzögerten zweitem phasenverschobenen Taktsignal CLV angesteuert (das Verzögerungsglied kann ebenso den Takteingängen der D-Kippstufen D1 und D2 vorgeschaltet sein).

Der Ausgang der ersten D-Kippstufe D1 ist mit einem ersten Eingang eines ersten Exklusiv-Oder-Gatters EXOR1 verbunden; der Ausgang der zweiten D-Kippstufe D2 mit einem ersten Eingang eines zweiten Exklusiv-Oder-Gatter EXOR2. Die Zweiten Eingänge dieser Exklusiv-Oder-Gatter sind mit dem Datenausgang der dritten D-Kippstufe D3 verbunden. Die Ausgänge der Exklusiv-Oder-Gatter EXOR1 und EXOR2 sind mit einem Subtrahierer SUB verbunden, dessen Ausgang über einen Filter FI mit dem Steuereingang des Oszillators VCO verbunden ist.

Die Datenausgänge der ersten und der zweiten D-Kippstufe können jeweils auf einen weiteren Demultiplexer DMX1 bzw. DMX2 geführt werden, um jedes abgetastete Datensignal DS1, 2 und DS3, 4 wiederum in jeweils zwei parallele Ausgangs-Daten-Signale DS1 und DS2 bzw. DS3 und DS4 aufzuteilen, die aufgrund ihrer geringeren Datenrate für die Weiterverarbeitung besser geeignet sind. Das hierzu erforderliche Taktsignal leitet ein Frequenzteiler FD vom Taktsignal CL ab.

Die Exklusiv-Oder-Gatter, der Subtrahierer, das Filter und der gesteuerte Oszillator bilden einen Phasenregelkreis (PLL), der eine Nachsteuerung des Oszillators bewirkt, wenn die Bits des Datensignals DS nicht in der Mitte abgetastet werden.

Anhand des in Fig. 2 dargestellten idealisierten Zeitdiagrammes, d. h. ohne Berücksichtigung von Laufzeiten und maximalen Datenraten, soll die Wirkungsweise näher erläutert werden. In der ersten Zeile sind die Bits des Datensignals symbolisch dargestellt und mit  $n, n+1, n+2, \dots$  gekennzeichnet. Das mit  $n$  gekennzeichnete Datenbit wird mit der ersten positiven Flanke des Taktsignals CL abgetastet und als erstes Bit des Datensignals DS1, 2 abgegeben. Das nächste Datenbit wird mit der negativen Flanke des Taktsignals CL übernommen und als Bit des Datensignals DS3, 4 abgegeben. Außerdem wird das Datensignal mit dem hier nicht dargestellten verzögerten Taktsignal CLV abgetastet. Im Idealfall liegt die Taktflanke in der Bitmitte und deshalb wird das Ausgangssignal der dritten D-Kippstufe D3, das Vergleichssignal VS, mit gleicher Wahrscheinlichkeit dem Ausgangssignal DS1, 2 oder DS3, 4 entsprechen. Über die Zeit gemittelt werden an den Ausgängen der Exklusiv-Oder-Gatter daher gleich große Signale anliegen und der Oszillator wird nicht nachgesteuert.

Im Fall einer voreilenden Taktphase, wie in Fig. 3 (ohne Berücksichtigung der Kaufzeitglieder V1, V2) dargestellt, wird das Vergleichssignal VS mit dem Ausgangssignal DS1, 2 der ersten D-Kippstufe übereinstimmen und deshalb am Ausgang des ersten Exklusiv-Oder-Gatters im wesentlichen logisch Null sein, während der Ausgang des zweiten Exklusiv-Oder-Gatters EXOR2 mit der Wahrscheinlichkeit von 1/2 logisch Null oder Eins ist, da von einem gescrambelten, also statistisch unabhängigen Datensignal ausgegangen wird.

Im Falle einer nacheilenden Taktphase sind die Ausgangssignale DS3, 4 und VS der zweiten und der dritten D-Kippstufe im wesentlichen gleich, wodurch am Ausgang des Subtrahierers SUB eine in umgekehrter Richtung wirkende Regelspannung zur Steuerung des Oszillators VCO erzeugt wird.

Die Ausgangssignale der Exklusiv-Oder-Gatter können von eventuell störenden Impulsen durch Verzögerungsglieder V1 und V2 bereinigt werden. In Fig. 1 sind die Verzögerungsglieder in die Ausgangsleitungen der ersten D-Kipp-

stufe D1 und der dritten D-Kippstufe D3 eingeschaltet. Bei extrem hohen Frequenzen können die Verzögerungsglieder allein durch unterschiedliche Leitungslängen realisiert werden.

Die Verzögerungsglieder sind so bemessen, daß die Ausgangssignale aller drei D-Kippstufen sich zu den selben Zeitpunkten ändern. In Fig. 3 ist dies für das erste Verzögerungsglied V1 gestrichelt dargestellt.

Zu ergänzen ist noch, daß – wenn ein aktives Filter verwendet wird – der Operationsverstärker gleich die Funktion des Subtrahierers mit übernimmt. Beide Eingänge des Operationsverstärkers können mit Kapazitäten zur Bildung von Siebgliedern beschaltet werden. Ein Prinzipschaltbild dieser Schaltung ist in Fig. 1 dargestellt. Als äquivalente Schaltungsausführung können auch Filter vor dem Subtrahierer angeordnet werden.

In Fig. 4 ist der Takt- und Datenregenerator um zwei Abtaktkippstufen D4 und D5 ergänzt, die jeweils zwischen dem Ausgang eines Exklusiv-Oder-Gatters und einem Eingang des Subtrahierers eingeschaltet sind. Bei voreilender Taktphase wird von der Abtakt-Kippstufe D4 ständig die logische Null übernommen und an ihrem Ausgang abgegeben. Das Signal am Ausgang der zweiten Abtakt-Kippstufe D5 ändert sich zufällig mit dem Taktsignal. Es treten somit keine Signale am Eingang des Subtrahierers auf, die kürzer als zwei Bit des Datensignals DS sind. Hierdurch wird die Funktion der Schaltung verbessert.

Zu Ergänzen ist noch, daß das Abtacken auch vor den Exklusiv-Oder-Gattern erfolgen kann. Außerdem kann mit Hilfe eines weiteren phasenverschobenen Taktsignals, das dem invertierten um 90 Grad phasenverschobenen zweiten Taktsignal entspricht, auch ein zweites Vergleichssignal erzeugt werden, das jeweils durch Abtasten der anderen Bitgrenze des Datensignals erzeugt wird.

Boolsche Umformungen, wie die Verwendung von Exklusiv-NOR-Gattern, und Variationen der Phasenregelschleife sind selbstverständlich möglich.

Die Anordnung ist in Bipolartechnik realisiert und für eine Takt- und Datenregeneration für Bitraten bis 40 G-Bit/s geeignet.

#### Patentansprüche

1. Takt- und Datenregenerator für hohe Datenraten, bei dem
  - ein Datensignal (DS) den Dateneingängen einer ersten, zweiten und dritten D-Kippstufe (D1, D2, D3) zugeführt wird,
  - die erste D-Kippstufe (D1) mit einem Taktsignal (CL) getaktet wird, dessen Taktpériode der Dauer von zwei Bits des Datensignals (DS) entspricht,
  - die zweite D-Kippstufe (D2) mit einem um 180 Grad phasenverschobenen Taktsignal ( $\overline{CL}$ ) getaktet wird,
  - an den Ausgängen der ersten und der zweiten Kippstufe parallele Datenströme (DS1, 2; DS3, 4) mit der halben Datenrate des Datensignals (DS) abgegeben werden,
  - die dritte D-Kippstufe (D3) mit einem um 90 Grad gegenüber einem der Taktsignale (CL,  $\overline{CL}$ ) phasenverschobenen Taktsignal (CLV) getaktet wird,
  - der Ausgang der ersten D-Kippstufe (D1) mit einem ersten Eingang eines ersten Exklusiv-Oder-Gatters (EXOR1) verbunden ist,
  - der Ausgang der zweiten D-Kippstufe (D2) mit einem ersten Eingang eines zweiten Exklusiv-

Oder-Gatters (EXOR2) verbunden ist und  
 – der Ausgang der dritten D-Kippstufe (D3) mit den zweiten Eingängen des ersten und des zweiten Exklusiv-Oder-Gatters (EXOR1, EXOR2) verbunden ist,

– ein Subtrahierer (SUB) vorgesehen ist, dem die Ausgangssignale der Exklusiv-Oder-Gatter (EXOR1, EXOR2) zugeführt werden, und  
 – das Ausgangssignal des Subtrahierers (SUB) über ein Filter (FI) einen Oszillator (VCO) steuert, der das Taktsignal (CL) abgibt.

2. Takt- und Datenregenerator nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zwischen den Ausgängen der D-Kippstufen (D1, D2, D3) und den Eingängen der Exklusiv-Oder-Gattern (EXOR1, EXOR2) Verzögerungsglieder (V1, V2) eingeschaltet sind, die so ausgelegt sind, daß Signaländerungen zu denselben Zeitpunkten auftreten.

3. Takt- und Datenregenerator nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß eine Abtaktkippstufe (D4, D5) zwischen dem Ausgang jedes der Exklusiv-Oder-Gatter (EXOR1, EXOR2) und einem Eingang des Subtrahierers (SUB) eingeführt ist.

4. Takt- und Datenregenerator nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß jeweils an den Ausgängen der ersten D-Kippstufe (D1) und der zweiten D-Kippstufe (D2) ein Demultiplexer (DMX1, DMX2) angeschaltet ist.

5. Takt- und Datenregenerator nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein Verzögerungsglied (DL) vorgesehen ist, daß das zweite phasenverschobene Taktsignal (TSV) aus dem Taktsignal (TS) ableitet.

6. Takt- und Datenregenerator nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die erste D-Kippstufe (D1) und die zweite D-Kippstufe (D2) von unterschiedlichen Flanken des Taktsignals (TS) getriggert werden.

7. Takt- und Datenregenerator nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Subtrahierer (SUB) und das Filter (FI) mit einem gemeinsamen Operationsverstärker aufgebaut sind.

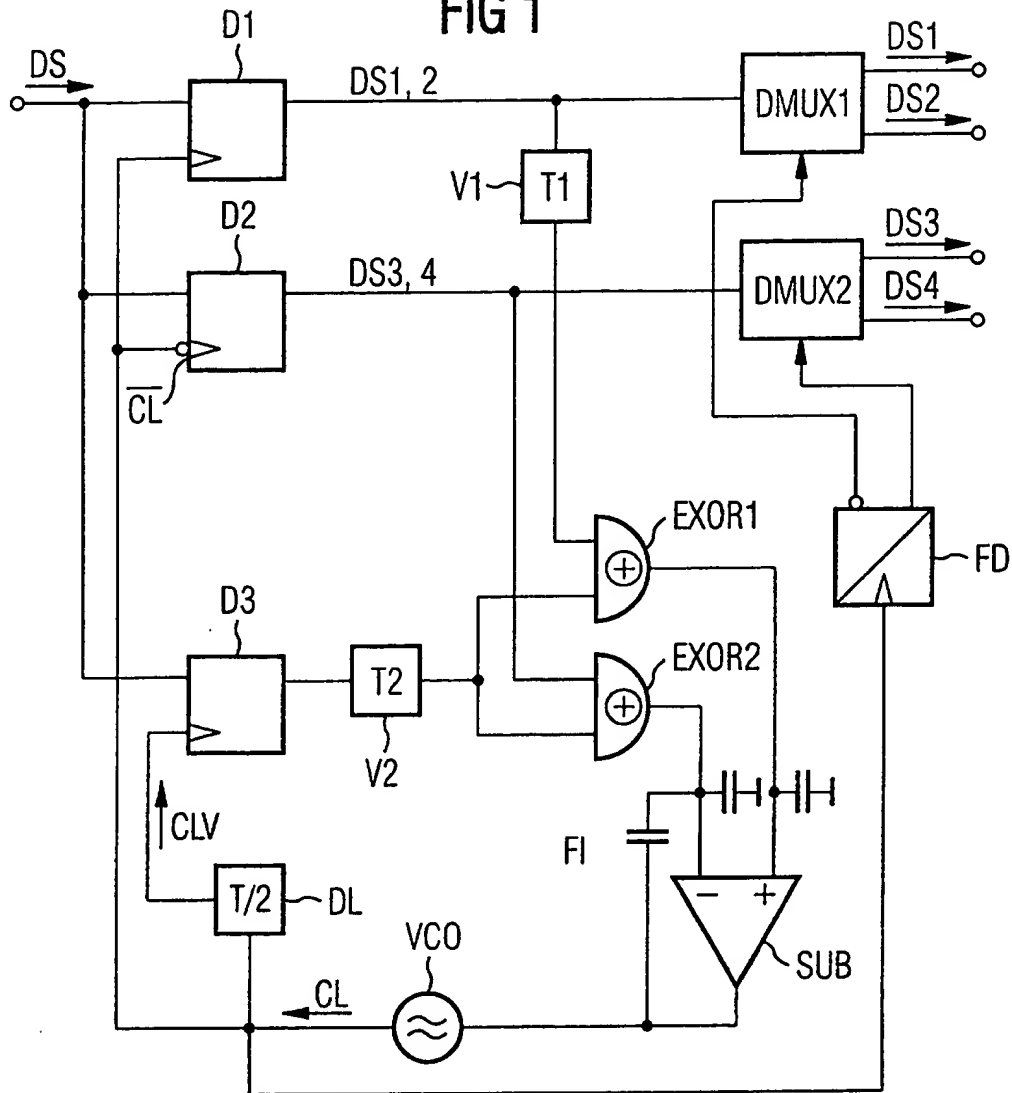
---

Hierzu 4 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1



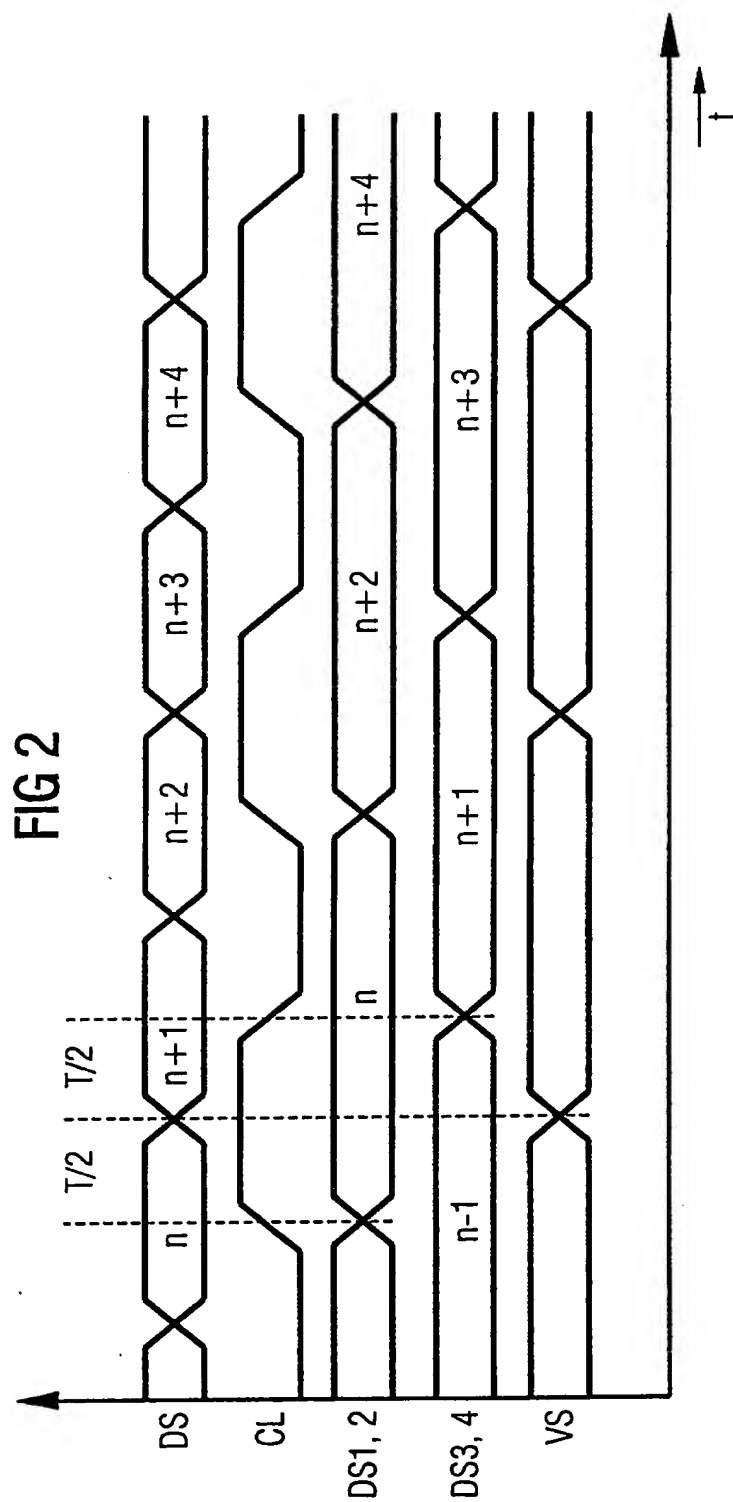


FIG 3

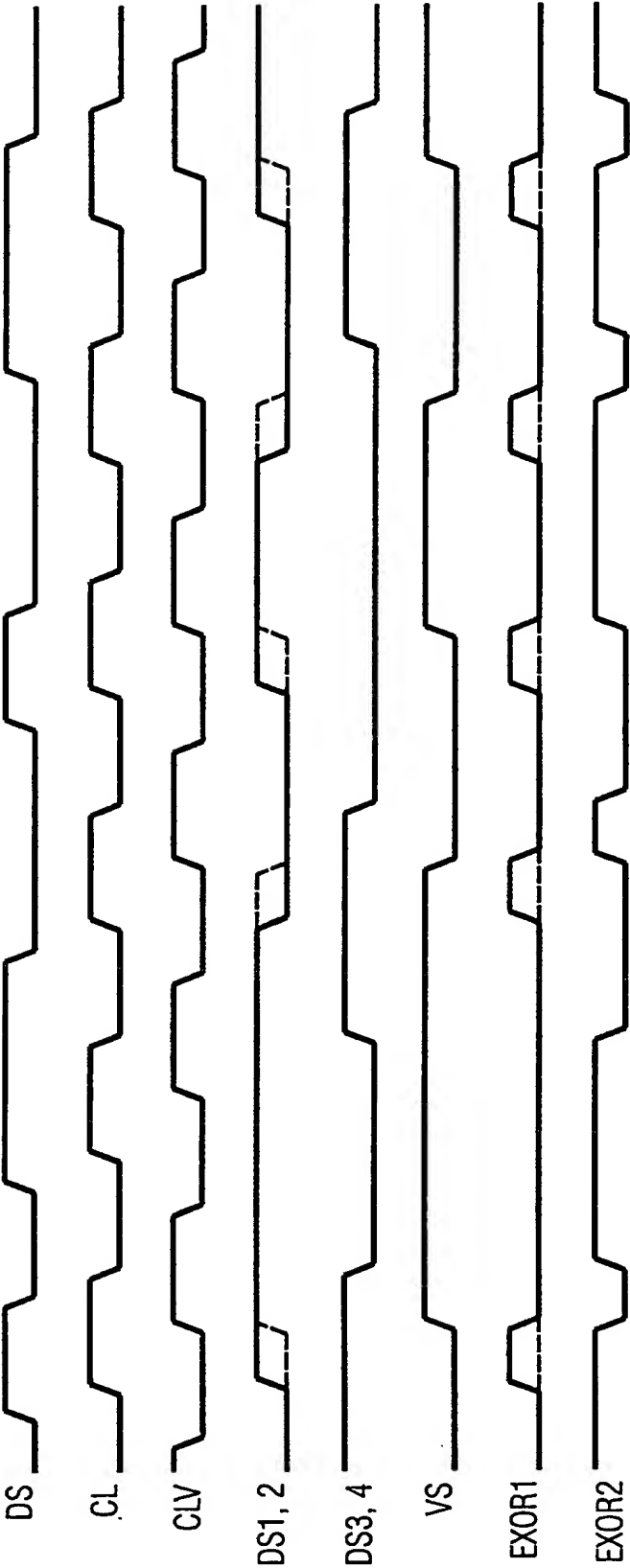


FIG 4

